

PATENT ABSTRACTS OF JAPAN

(11)Publication number : 01-212461
 (43)Date of publication of application : 25.08.1989

(51)Int.Cl. H01L 27/06
 H01L 29/08
 H01L 29/72

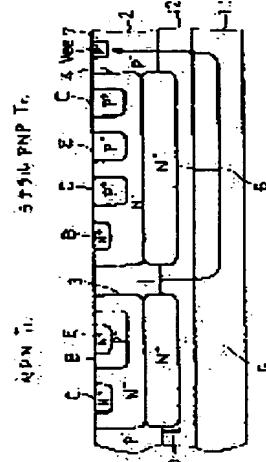
(21)Application number : 63-037794 (71)Applicant : RICOH CO LTD
 (22)Date of filing : 20.02.1988 (72)Inventor : YOSHII KOJI

(54) SEMICONDUCTOR INTEGRATED CIRCUIT DEVICE WITH BURIED LAYER

(57)Abstract:

PURPOSE: To reduce changes in the substrate potential caused by currents generated by parasitic element behavior or the like and to keep breakdown strength high between a buried layer and the substrate by a method wherein impurity concentration in the substrate is rendered high for a reduction in the resistance value the substrate presents.

CONSTITUTION: A substrate 11 is a high impurity concentration P+ substrate, with the impurity concentration set approximately at $5 \times 10^{18}/\text{cm}^3$. On the substrate 11, a low impurity concentration P- epitaxial layer 12 is formed, whereon another P- epitaxial layer 2 is formed. The resistance of the substrate 11 becomes small because its impurity concentration is high. The resistance that the epitaxial layer 12 presents cannot be dominant because the epitaxial layer 12 may be relatively thin because it needs not be thicker than a lower junction depth D in buried layers 5 and 6. In such a design, the resistance is low in general along the passage of a substrate current, which reduces changes in the substrate potential.



LEGAL STATUS

[Date of request for examination]

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number]

[Date of registration]

[Number of appeal against examiner's decision of rejection]

[Date of requesting appeal against examiner's

decision of rejection]

[Date of extinction of right]

⑨ 日本国特許庁 (JP)

⑩ 特許出願公開

⑪ 公開特許公報 (A) 平1-212461

⑫ Int.Cl.

H 01 L 27/06
29/08
29/72

識別記号

101

序内整理番号

E-8728-5F
8526-5F
8526-5F

⑬ 公開 平成1年(1989)8月25日

審査請求 未請求 請求項の数 1 (全3頁)

⑭ 発明の名称 埋込み層をもつ半導体集積回路装置

⑮ 特願 昭63-37794

⑯ 出願 昭63(1988)2月20日

⑰ 発明者 吉井 宏治 東京都大田区中馬込1丁目3番6号 株式会社リコー内

⑱ 出願人 株式会社リコー 東京都大田区中馬込1丁目3番6号

⑲ 代理人 弁理士 野口繁雄

明細書

1. 発明の名称

埋込み層をもつ半導体集積回路装置

2. 特許請求の範囲

(1) 半導体素子の下部に不純物濃度の高い埋込み層をもつ半導体集積回路装置において、高不純物濃度の第1導電型半導体基板上に形成された低不純物濃度の第2導電型エピタキシャル層中に埋込み層が形成されていることを特徴とする半導体集積回路装置。

3. 発明の詳細な説明

(技術分野)

本発明は半導体素子の下部に不純物濃度の高い埋込み層をもつ半導体集積回路装置に関するものである。

(従来技術)

第2図にバイポーラトランジスタの断面図を示す。

1はP⁺基板であり、その上にP⁻エピタキシャル層2が形成され、エピタキシャル層2に形成さ

れたN⁻ゲル3、4にはそれぞれ不純物拡散領域が形成されてNPNトランジスタとPNPトランジスタが形成されている。各バイポーラトランジスタの下部には電流経路の抵抗値を下げるためにN⁻埋込み層5、6がそれぞれ形成されている。

埋込み層5、6は、基板1上に形成される。埋込み層5、6を形成する工程では、基板1に埋込み層5、6を直接形成し、その上にエピタキシャル層2を成長させる。

基板1は通常、エピタキシャル層2内のP⁺拡散領域7を通じ回路内の最低電位(V_{ee})に接続されている。

トランジスタが饱和したときの寄生トランジスタの基板電流の主な経路は、矢印で示されるようにエピタキシャル層2→基板1→エピタキシャル層2→拡散領域7→V_{ee}である。

一般に埋込み層5、6の不純物濃度は5×10¹⁴~10¹⁵/cm³程度、基板1の不純物濃度は1×10¹⁶~10¹⁷/cm³程度で、エピタキシャル層2の不純物濃度は2×10¹⁷~10¹⁸/cm³程度である。

基板1の不純物濃度を低く抑えているのは、埋込み層5、6と基板1の間の耐圧を確保するためである。

このように、基板1の不純物濃度が低いため、上記のような寄生トランジスタの基板電流やペティカルPNPトランジスタの基板電流が流れると、基板1の抵抗値が高くて支配的となり、基板電位が変動しやすくなる。基板電位が変動するとノイズを発生したり、新たな寄生素子の動作の原因になり、極端な場合にはラッチャップ現象を引き起す。また、回路の精度にも悪影響を及ぼす。

(目的)

本発明は基板濃度を高くして基板の抵抗値を下げるにより寄生素子の動作などで基板に電流が流れることにより生ずる基板電位の変動を小さくし、かつ、埋込み層と基板間の耐圧を下げないようにすることを目的とするものである。

(構成)

本発明では、高不純物濃度の第1導電型半導体基板上に形成された低不純物濃度の第2導電型エ

ピタキシャル層中に埋込み層を形成する。

基板の不純物濃度を高くすることにより基板の抵抗値が下がる。

埋込み層は直接基板上に形成されておらず、基板上に形成された低不純物濃度のエピタキシャル層中に形成されているので、埋込み層と基板間の耐圧は低下しない。

以下、実施例について説明する。

第1図は本発明を第2図と同じバイポーラトランジスタに適用した例を表わす断面図である。

基板11は不純物濃度の高いP+基板であり、その不純物濃度を $5 \times 10^{18} / \text{cm}^3$ 程度とする。基板11上には低不純物濃度のP-エピタキシャル層12が形成され、エピタキシャル層12上にはさらにP-エピタキシャル層2が形成されている。第2図と同じNPNトランジスタとPNPトランジスタは上層のエピタキシャル層2中のウエル3、4中に形成されており、埋込み層5、6は基板11と直接接触しないように、エピタキシャル層2、12中に形成されている。

(効果)

本発明では埋込み層を低不純物濃度のエピタキシャル層中に形成し、基板と直接接觸しないようにしたので、埋込み層と基板の不純物濃度を自由に設定でき、基板の不純物濃度を高くすることによって基板電位の変動を抑え、ノイズに対して強くし、ラッチャップなどが起こらないようにすることができる。また、高精度な演算回路も実現できる。

埋込み層と基板が直接接觸しないことから、埋込み層と基板間の接合耐圧も高く維持することができる。

4. 図面の簡単な説明

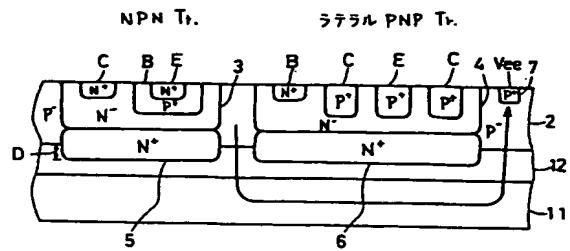
第1図は一実施例を示す断面図、第2図は従来の半導体集成回路装置を示す断面図である。

2、12……エピタキシャル層、5、6……埋込み層、11……基板。

特許出願人 株式会社リコー

代理人 弁理士 野口繁雄

第1図



第2図

